

(11) 公告編號: 214588

(44) 中華民國82年(1993)10月11日

發明

全 14 頁

(51) Int. Cl.⁵: G06F15/62
G06K9/36

(54) 名稱: 資訊處理系統之外部記憶系統

(21) 申請案號: 81104859

(22) 申請日期: 中華民國81年(1992)06月20日

(72) 發明人:

傑美B·孫

英國

朋 齊士

英國

卡爾N·庫拉母

英國

彼得R·華尼斯

英國

(71) 申請人:

愛恩股份有限公司

美國

(74) 代理人: 陳燦暉 先生 洪武雄 先生

1

[57] 申請專利範圍:

1. 一個資訊處理系統(20, 19)之外部記憶系統(19), 該資訊處理系統包括一個顯示銀幕畫面(36), 並具有一個微處理器, 用於執行一個影像繪圖程式, 以及一個影像記憶體(30), 用於儲存表示多個字元的字元資料, 其當被組合時定義一個顯示圖框; 該外部記憶體系統(19)之特徵在於:
一個程式記憶體(10), 用於儲存至少某些該影像繪圖程式的指令; 以及
一個轉換電路(2, 52), 其耦合到該程式記憶體(10), 用於接收以一個像素規格表示的顯示資料, 處理該像素規格與轉換該像素規格資料, 成為被該影像記憶體(30)所使用的字元資料形成。
2. 如申請專利範圍第1項之外部記憶體系統, 所述之該像素規格, 包括座標資料定義在顯示銀幕畫面(36)上像素的位置, 與該轉換電路(2, 52), 從該程式記憶體接收該像素規格。
3. 如申請專利範圍第2項之外部記憶體系統, 所述該轉換電路(52), 包括位址轉換電路(202, 204, Ha, Fa, 214, 216), 用

2

於接收像素座標資料, 並於產生一個字元指定位址。

4. 如申請專利範圍第1項之外部記憶體系統, 其中復包括一個隨機存取記憶體(RAM)(6, 8), 與緩衝記憶體裝置(206), 其用於暫時儲存產生自該轉換電路之字元資料, 以及用於耦合儲存在該緩衝記憶體的資料該 RAM(206, 228, 88)之裝置。
5. 如申請專利範圍第2項之外部記憶體系統, 其中復包括記錄裝置, 俾用於暫時儲存來自該程式記憶體(202, 204)之像素座標資料。
6. 如申請專利範圍第1項之外部記憶體系統, 其中復包括一個可程式繪圖處理器(2), 耦合到該程式記憶體, 並且該轉換電路(52)在該繪圖處理器實施。
7. 如申請專利範圍第6項之外部記憶體系統, 所述之該可程式繪圖處理器, 包括一個第一來源共同匯流排(X), 一個第二來源共同匯流排(Y), 與一個目的共同匯流排(Z), 該轉換電路從該第一來源匯流排

- (X)，與該第二來源匯流排(Y)接收資料，並且用於向前資料到該目的匯流排(Z)。
8. 如申請專利範圍第1項之外部記憶體系統，所述該像素規格，包括一個像素的顯示座標，與相關於該顯示座標之色彩資訊，並進一步包括色彩暫存器裝置(54)，用於接收和暫時儲存該色彩資訊。
9. 如申請專利範圍第8項之外部記憶體系統，其中復包括一個暫存器矩陣(206)，用於從該色彩暫存器裝置接收像素色彩資訊。
10. 如申請專利範圍第1項之外部記憶體系統，其中復包括一個隨機存取記憶體(RAM)(6, 8)，與一個RAM控制器(88)，用於控制存取該RAM，與該轉換電路，包括位址轉換位置，用於產生一個字元位址(202, 204, Ha, Fa, 214, 216)與字元資料產生裝置，用於產生字元資料，其包括資料係相對於該像素規格(202, 206)，以及用於傳送(206, 216)，利用該轉換電路所產生的字元位址與字元資料，到該RAM控制器(88)之裝置。
11. 如申請專利範圍第1項之外部記憶體系統，其中復包括一個隨機存取記憶體(RAM)(6, 8)，與用於耦合字元資料到該轉換電路之裝置，俾從相關於該像素規格之該RAM，利用該轉換電路(82, 206)處理該像素規格。
12. 如申請專利範圍第1項之外部記憶體系統，其中復包括儲存字元資料之裝置，其中該轉換電路(52)包括用於接收之裝置，從該用於儲存之裝置，被顯示於像素附近之有關其它像素之字元資料資訊目前被處理中。
13. 如申請專利範圍第1項之外部記憶體系統，所述之程式記憶體(10)與該轉換電路(2, 52)，係在電視遊樂器卡匣(19)內實施。
14. 如申請專利範圍第1項之外部記憶體系統，所述之該轉換電路，包括一個色彩矩陣(206)，用於儲存資料，此資料相關於指定像素與在此字元的其它像素，其中包括此指定像素。

15. 如申請專利範圍第14項之外部記憶體系統，所述之該色彩矩陣(206)包括多數個行和列，此色彩矩陣利用列載入並且利用行讀出。
5. 16. 如申請專利範圍第15項之外部記憶體系統，其中復包括暫存器裝置(202)，用於暫時儲存該像素規格，包括像素座標資料，與定址該色彩矩陣(206)，一部份則利用至少部份該暫存器裝置的內容。
10. 17. 如申請專利範圍第1項之外部記憶體系統，其中復包括位元未定裝置，用於記錄是否將被處理像素係為部份將被處理的目前字元(210)。
15. 18. 如申請專利範圍第17項之外部記憶體系統，其中復包括隨機存取記憶體裝置(RAM)(6, 8)，與用於傳送利用該轉換電路(52)所產生之字元資料，到該RAM之裝置，其係依該位元未定裝置(210)的狀態而定。
20. 19. 如申請專利範圍第1項之外部記憶體系統，其中復包括指示不需要更新(210)的處理有關一個像素規格之一個字元的位元之裝置。
25. 20. 如申請專利範圍第19項之外部記憶體系統，所述之該轉換電路(52)，包括產生一個字元位址之裝置，以響應於用在指示該裝置的一個預先決定狀態。
30. 21. 如申請專利範圍第1項之外部記憶體系統，其中復包括位址暫存器裝置，用於儲存利用該轉換電路(216)所產生的一個字元位址，與一個位址比較器(218)，耦合到位址暫存器裝置，用於比較利用該轉換電路所產生的目前字元位址與一個先前產生的位址。
35. 22. 如申請專利範圍第21項之外部記憶體系統，其中復包括字元記憶體裝置，用於儲存字元資料(6, 8)，與控制裝置(200)，響應於該位址比較器，用於寫出儲存在該位址暫存器裝置之位址，到該字元記憶體裝置。
40. 23. 一種用於顯示銀幕畫面的繪圖處理器(2)，其中包括：
接收一個像素規格(56, 58)的裝置；以及
一個轉換電路(25)，用於處理該像素

規格，並且產生一個字元規格指定包括指定像素之一個字元。

24. 如申請專利範圍第23項之繪圖處理器，所述之該像素規格，包括一個像素的顯示座標，與相關於該顯示座標之色彩資訊，其中復包括色彩暫存器裝置，用於接收與暫時儲存該色彩資訊。

25. 如申請專利範圍第23項之繪圖處理器，其中復包括一個暫存器矩陣 (206)，用於從該色彩暫存器裝置 (54)，接收像素色彩資訊。

26. 如申請專利範圍第23項之繪圖處理器，其中復包括一個隨機存取記憶體 (RAM) (6, 8)，以及用於從該 RAM 耦合字元資訊到該轉換電路之裝置，其利用該轉換電路 (82, 206) 處理相關於該像素之規格。

27. 一種用於一個資訊處理系統 (20, 19) 的繪圖處理器 (2)，此系統具有一個主處理單元 (20)，用於執行儲存在至少一個記憶體裝置 (10) 的一個影像繪圖程式，該繪圖處理器 (2) 其特徵在於：

用於從該至少一個記憶體 (INSTR, 62, 60) 接收程式指令之裝置；以及

響應於至少一個預先決定程式指令之裝置，用於轉換相關於該至少一個預先決定指令之像素基格式，成為一個字元基資料格式 (52)。

28. 如申請專利範圍第27項之繪圖處理器，其中復包括一個第一來源共同匯流排 (X)，一個第二來源共同匯流排 (Y)，與一個目的共同匯流排 (Z) 以及於轉換從該第一來源匯流排與該第二來源匯流排所接收資料，與向前資料到該目的匯流排之裝置。

29. 如申請專利範圍第27項之繪圖處理器，所述之該繪圖處理器用於耦合到一個隨機存取記憶體 (RAM) (6, 8)，其中復包括一個 RAM 控制器 (88)，用於控制到該 RAM 之存取，該用於轉換 (52) 之裝置，其包括位址轉換裝置用於產生一個字元位址 (202, 204, HA, FA, 214, 216)，與字元資料產生裝置，用於產生字元資料，包括相關於該像素基資料 (202, 206)，以及用於傳送 (206, 216) 之裝置，於利用轉換電路的該裝置所產生字元位址與字元資料，到該

RAM 控制器 (88)。

圖示簡單說明：

圖 1 係根據本發明實施例之一個外部記憶體系統之方塊圖。

圖 2 係實施例之主處理系統之方塊圖，目前之最佳實施例係使用具有一個繪圖共處理器者。

圖 3 係透視圖，顯示一個遊樂器卡匣之範例機械結構，其內含有一個繪圖共處理器與一個基座單元，其中包括主處理系統。

圖 4A 與 4B 係根據目前之最佳實施例之繪圖共處理器之方塊圖。

圖 5 係利用主處理系統執行操作起始繪圖共處理器操作之順序流程圖。

圖 6 係圖 4 所示算術與邏輯單元之更詳細方塊圖。

圖 7 係圖 4A 所示像素畫圖電路之更詳細方塊圖。

圖 8A 係一方塊圖，顯示利用畫圖控制器所接收的輸入信號，及利用畫圖控制器產生的輸出信號。

圖 8B 係像素畫圖電路於彩色矩陣內的一個彩色矩陣元素。

圖 8C 係相關於像素畫圖電路之時序，控制與資料信號。

圖 9 係圖 4A 所示 RAM 控制器之更詳細方塊圖。

圖 9A 係圖 9 所示相關於 RAM 控制器之時序，控制與資料信號。

圖 10 係圖 9 所示說明仲裁邏輯的一個電路圖。

圖 11 係本發明的繪圖共處理器實施例之再同步電路圖。

圖 12 係相關於圖 11 的再同步電路之時序信號說明。

圖 13 係本發明繪圖共處理器的 RAM 控制器之更詳細方塊圖。

圖 14 係根據本發明實施例之繪圖共處理器的快速控制器之方塊圖。

圖 15A 係一方塊圖，顯示本發明繪圖共處理器的指令解碼相關電路。

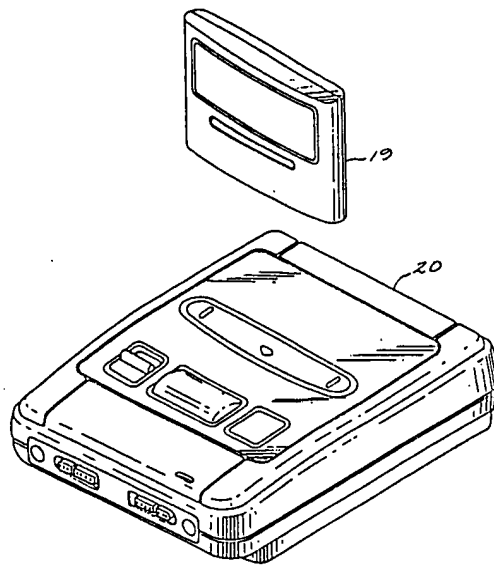
圖 15B 係時序信號，證明在圖 15A 中向前看邏輯之操作。

圖18係實施例一個多邊形產生工作之

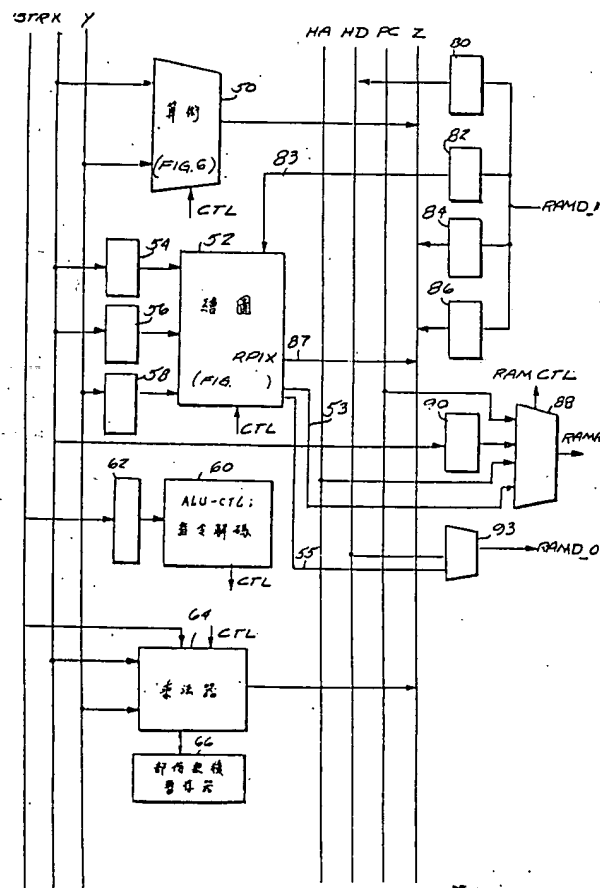
圖19、20及21係產生多邊形基目標的範例顯示，以說明根據本發明實施例之尺寸的比例與旋轉特色。



(5)



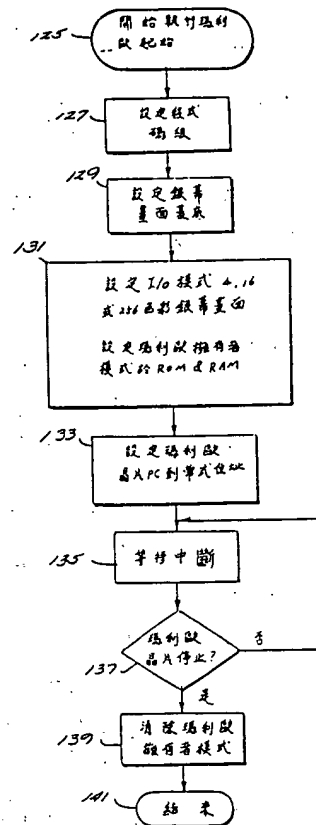
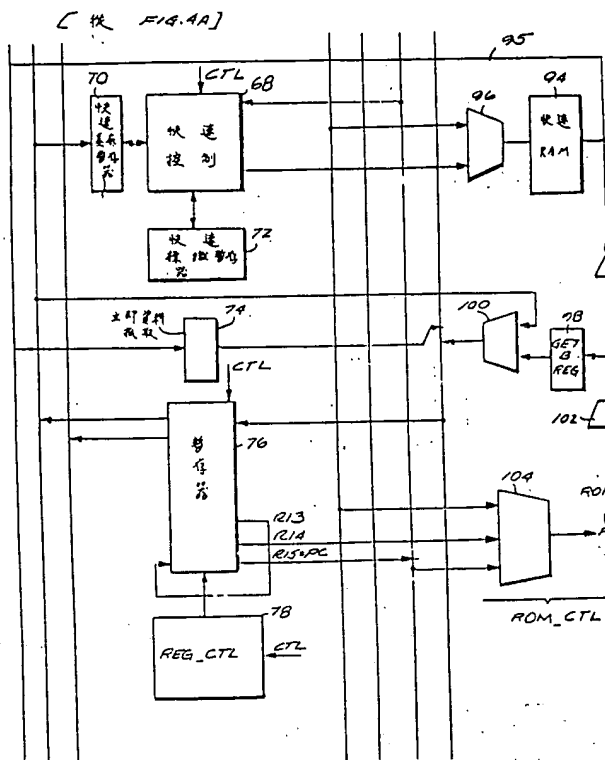
第3圖



第4圖

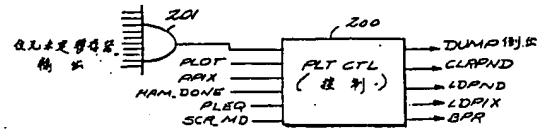
[到 FIG. 40]

(6)

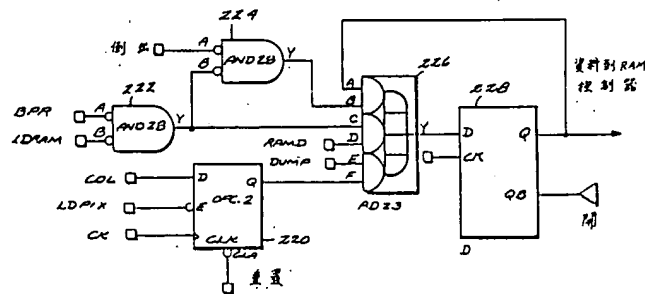




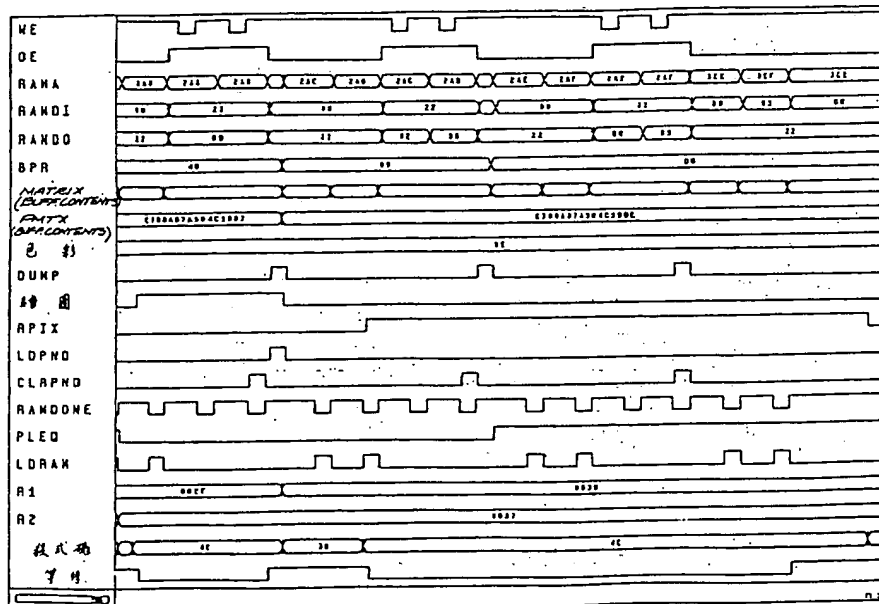
(8)



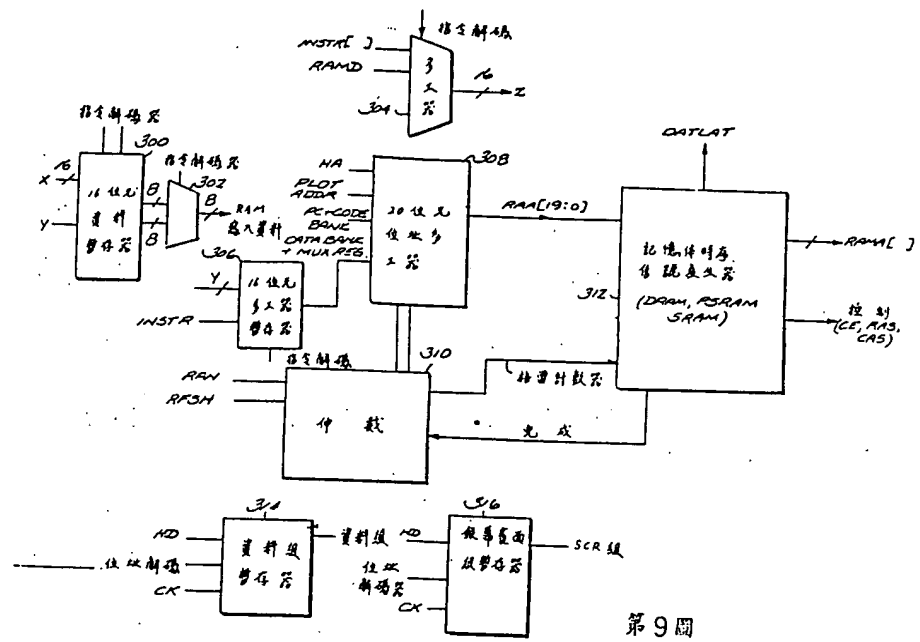
第8A圖



第8B圖

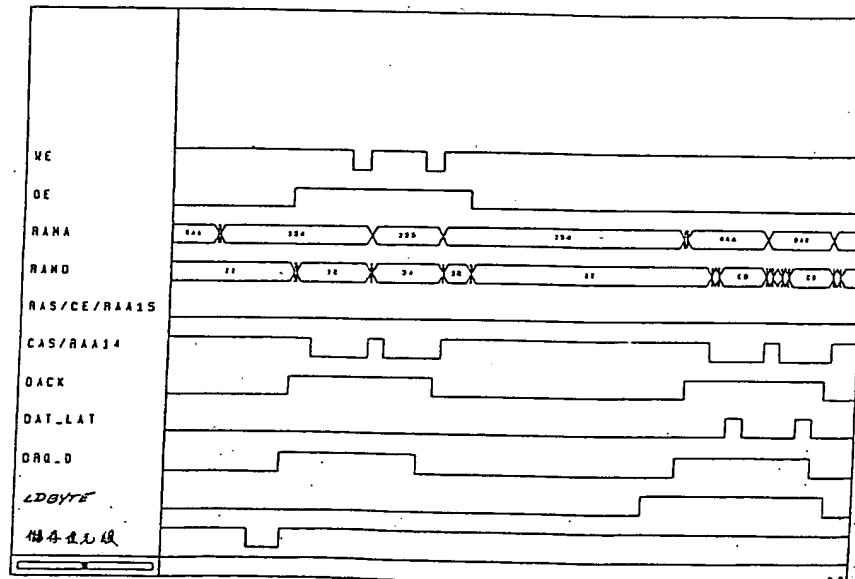


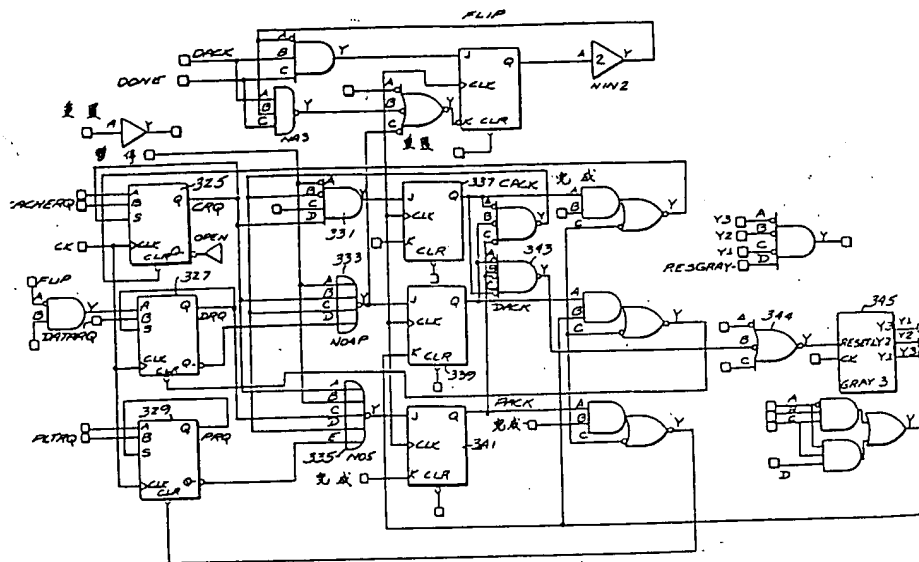
第8C圖



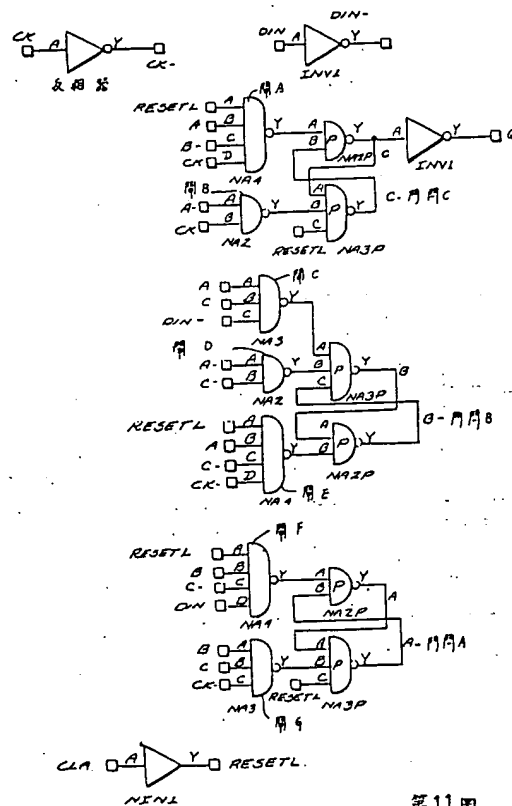
第9圖

第9A圖





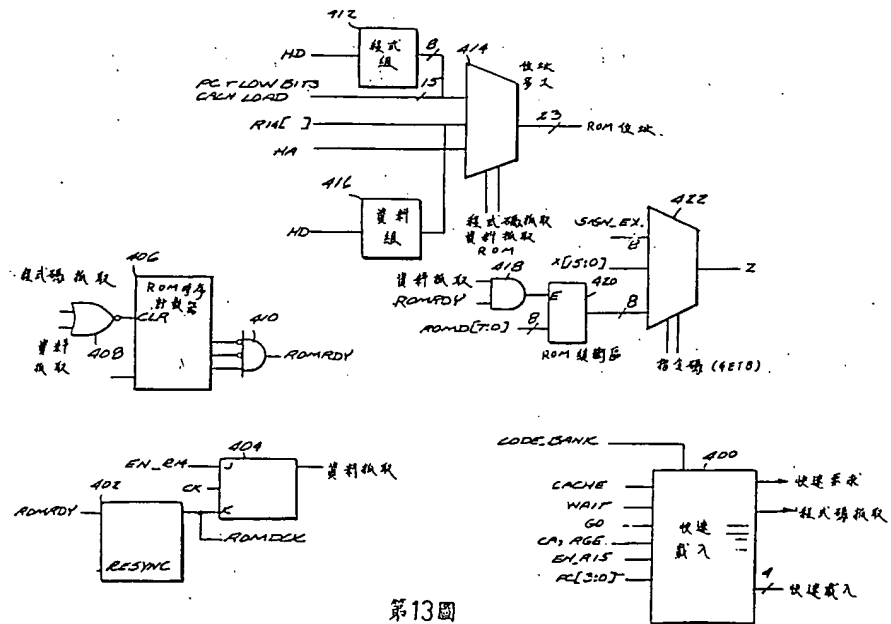
第10圖



第11圖

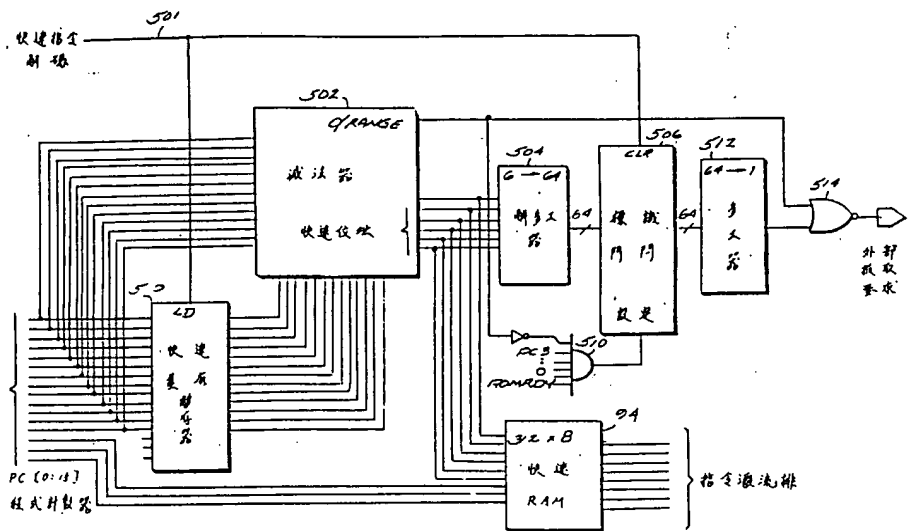


第16圖

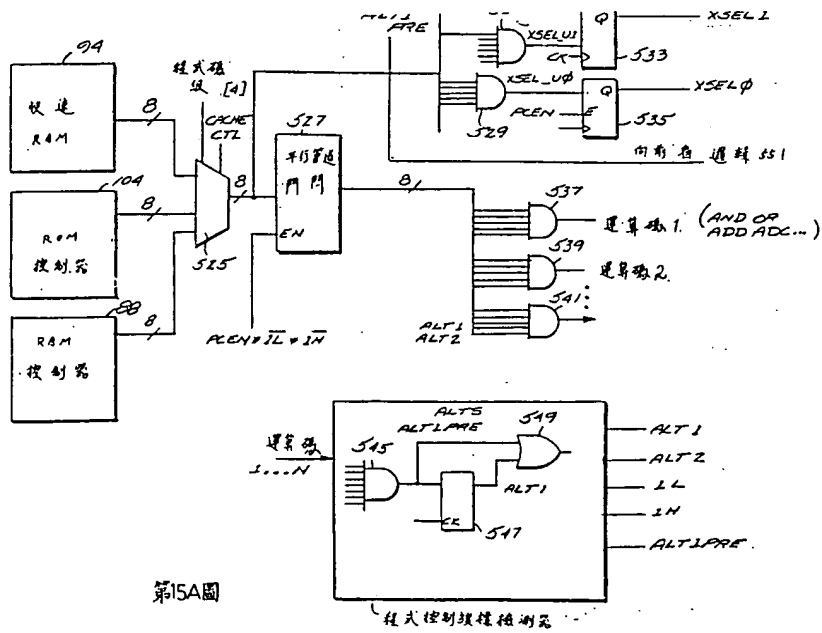


第13圖

(12)

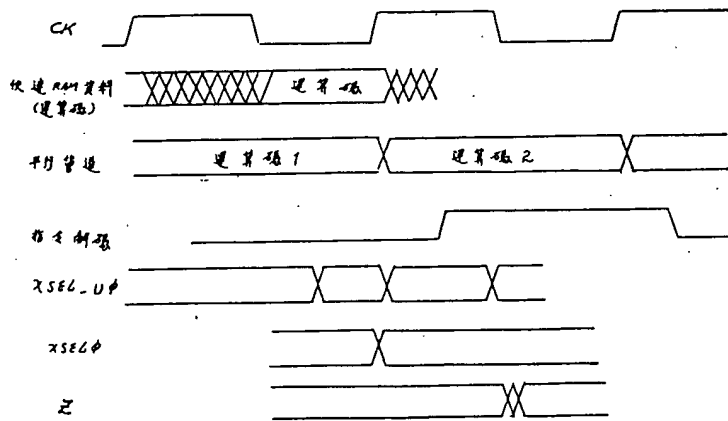


第14圖

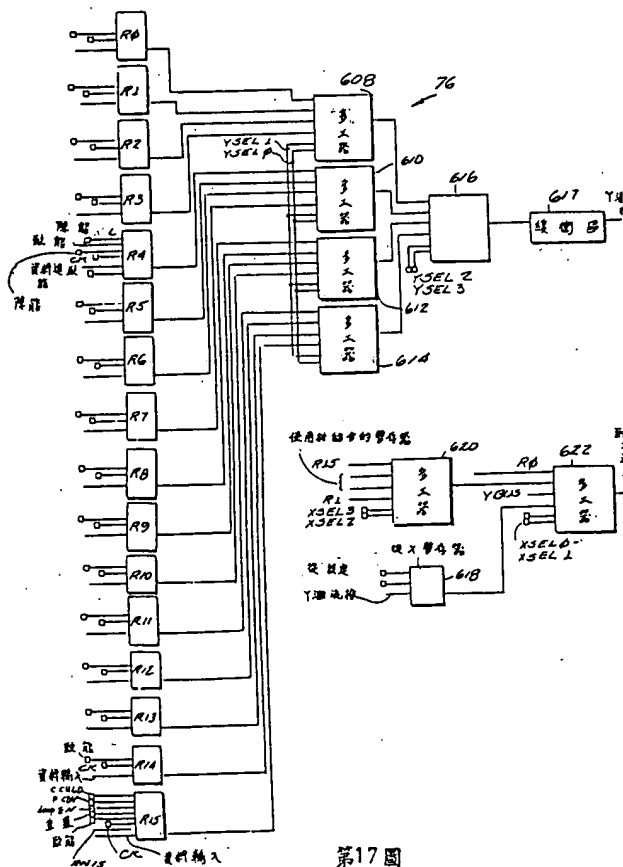


第15A圖

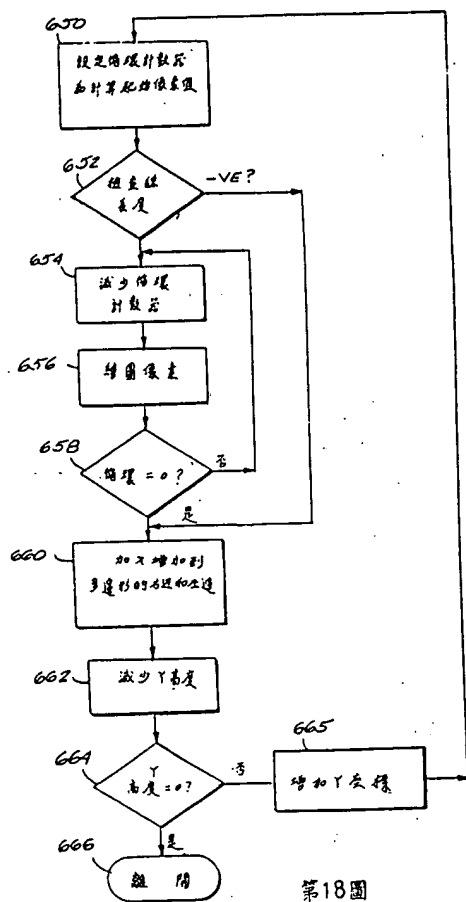
(13)



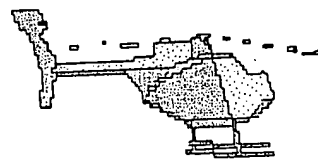
第15A圖



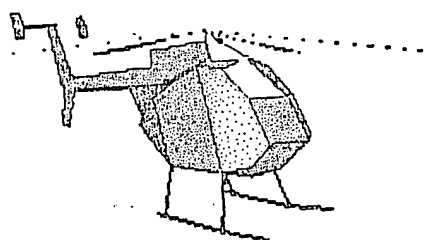
第17圖



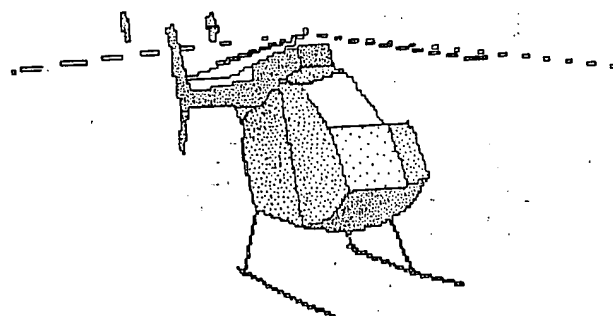
第18圖



第19圖



第20圖



第21圖

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.